

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-149410

(43)Date of publication of application : 24.05.2002

(51)Int.Cl. G06F 9/445
G06F 1/24

(21)Application number : 2000-342138 (71)Applicant : MITSUBISHI ELECTRIC CORP

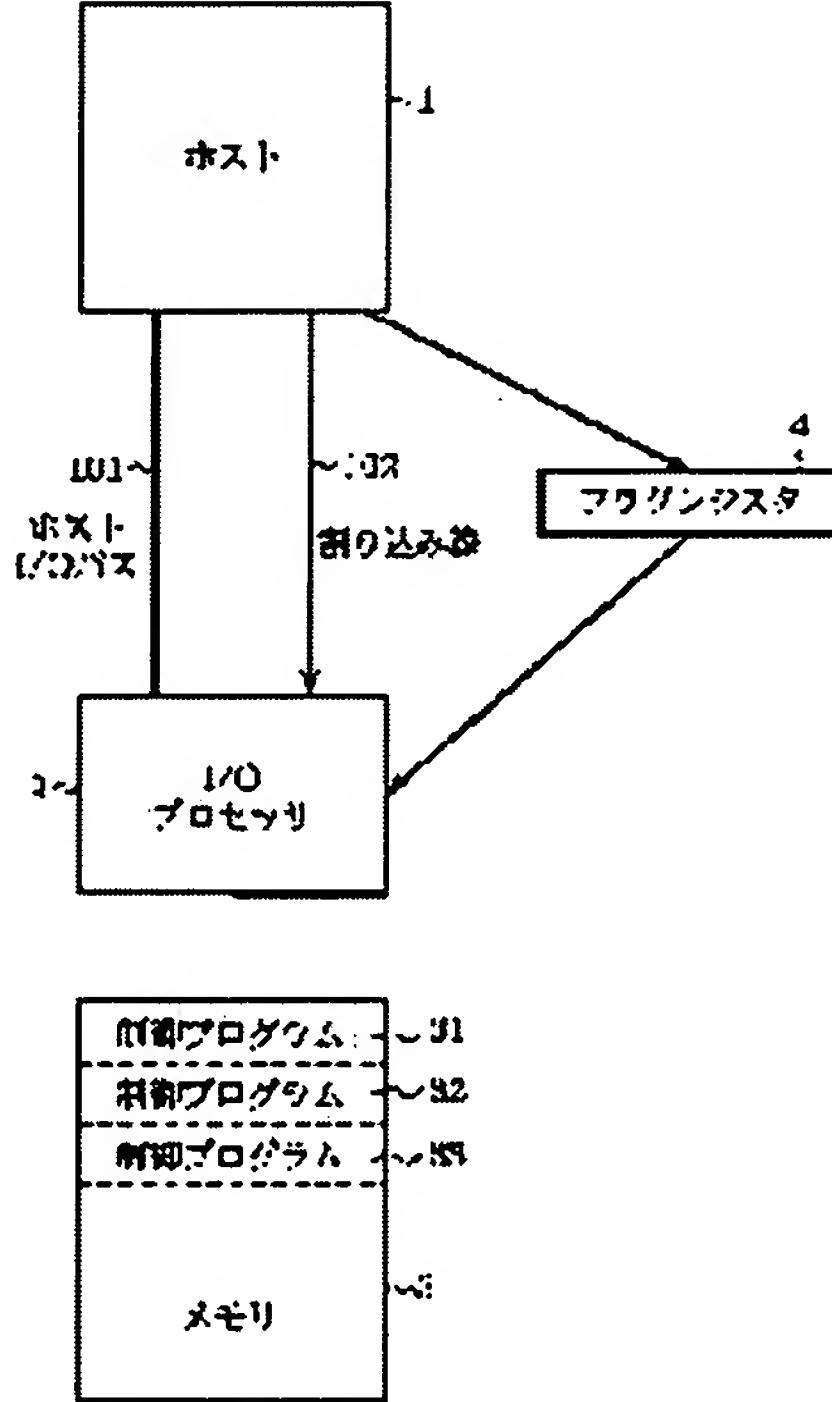
(22)Date of filing : 09.11.2000 (72)Inventor : KANEDA NORIHISA

(54) SYSTEM AND METHOD FOR STARTING CONTROL PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To unnecessary the preliminary setting work for starting a control program by a switch operation or the like.

SOLUTION: At the time of power-on reset, an I/O processor 2 starts a default control program 31 stored in a memory 3. When a host 1 writes the flag of a control program 32 stored in the memory 3 in a flag register 4, and issues an interruption request, the I/O processor 2 performs its transition to the interrupting processing of the control program 31, and reads the flag of the flag register 4, and starts the control program 32.



LEGAL STATUS

[Date of request for examination] 09.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or abandonment]

application converted registration]

[Date of final disposal for application] 02.06.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-149410

(P2002-149410A)

(43)公開日 平成14年5月24日(2002.5.24)

(51)Int.Cl.⁷

G 0 6 F 9/445
1/24

識別記号

F I

デーマコト⁸(参考)

C 0 6 F 9/06
1/00

6 5 0 B 5 B 0 5 4
3 5 0 A 5 B 0 7 6

審査請求 有 請求項の数6 OL (全 6 頁)

(21)出願番号

特願2000-342138(P2000-342138)

(22)出願日

平成12年11月9日(2000.11.9)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 金田 典久

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

F ターム(参考) 5B054 AA03 BB01 BB06

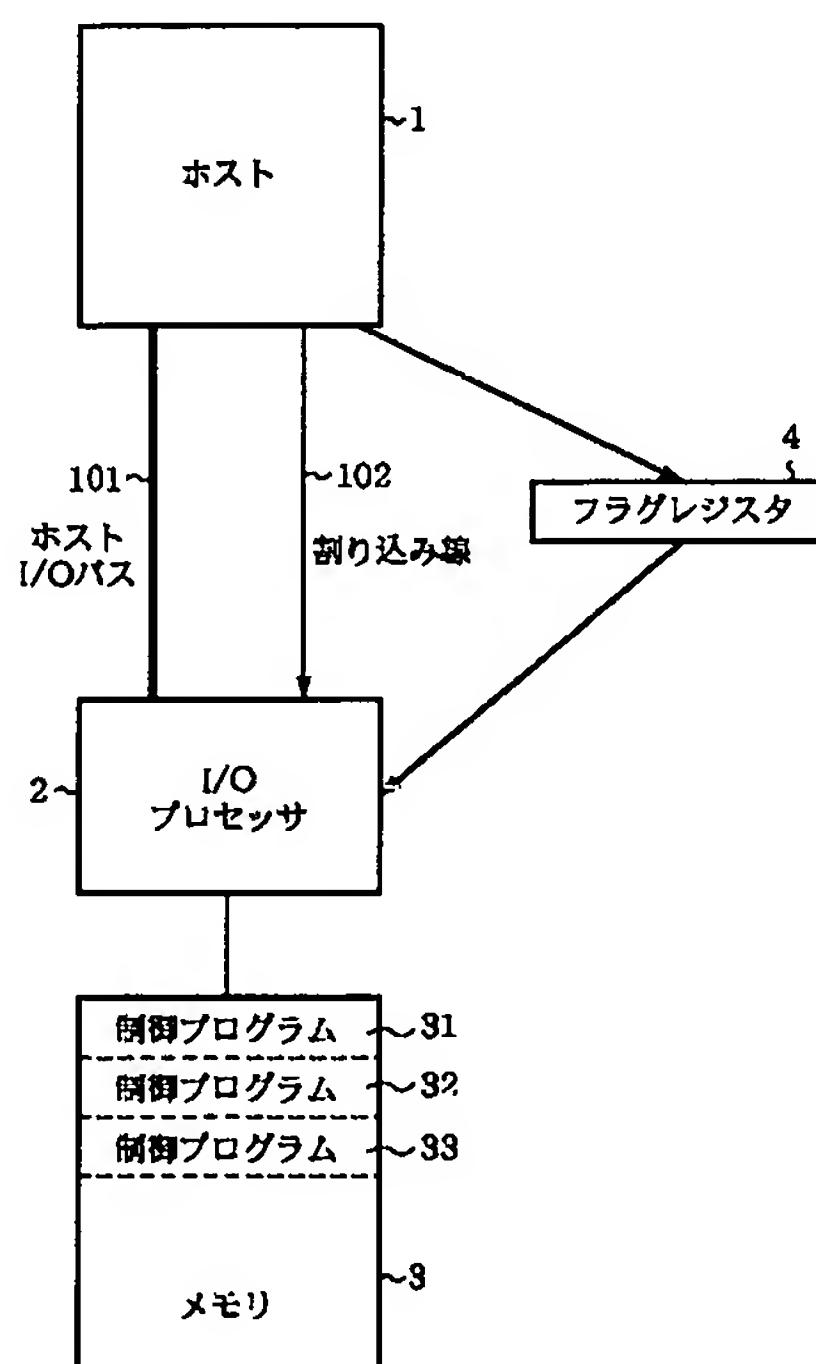
5B076 AA01 AA17 AB17

(54)【発明の名称】 制御プログラム起動方式及び制御プログラム起動方法

(57)【要約】

【課題】 制御プログラムを起動させるためのスイッチ等による事前の設定作業を不要にする。

【解決手段】 パワーオンリセットの際に、I/Oプロセッサ2がメモリ3に格納されているデフォルトの制御プログラム31を起動させる。ホスト1がメモリ3に格納されている制御プログラム32のフラグをフラグレジスタ4に書き込み割り込み要求を行うと、I/Oプロセッサ2が制御プログラム31の割り込み処理に移行させ、フラグレジスタ4のフラグを読み込んで、制御プログラム32を起動させる。



【特許請求の範囲】

【請求項1】 システム全体の制御を行うホストと、複数の制御プログラムを格納するメモリと、上記メモリに格納されている制御プログラムを実行して入出力制御を行うI/O (Input Output) プロセッサとを備えた制御プログラム起動方式において、パワーオンリセットの際に、上記I/Oプロセッサが上記メモリに格納されている第1の制御プログラムを起動させ、上記ホストが割り込み要求を行うと共に、上記メモリに格納されている第2の制御プログラムの起動を指示し、上記ホストからの割り込み要求に基づき、上記I/Oプロセッサが上記第1の制御プログラムの割り込み処理に移行させ、指示された上記第2の制御プログラムを起動させることを特徴とする制御プログラム起動方式。

【請求項2】 ホストが割り込み要求をする際に、起動を指示する第2の制御プログラムのフラグを書き込むフラグレジスタを備え、I/Oプロセッサが上記ホストからの割り込み要求を受けて、上記フラグレジスタに格納されている第2の制御プログラムのフラグを読み出して、上記第2の制御プログラムを起動させることを特徴とする請求項1記載の制御プログラム起動方式。

【請求項3】 I/Oプロセッサが、ホストからの起動の指示値に対応して制御プログラムが格納されているメモリのアドレスとの関係を示す割り込みベクタを備え、上記I/Oプロセッサが上記ホストからの割り込み要求を受けて、上記割り込みベクタを参照し、上記ホストからの起動の指示値に対応して第2の制御プログラムを起動させることを特徴とする請求項1記載の制御プログラム起動方式。

【請求項4】 第2の制御プログラムが起動後に、ホストが割り込み要求を行うと共に、第3の制御プログラムの起動を指示し、

上記ホストからの割り込み要求に基づき、I/Oプロセッサが上記第2の制御プログラムの割り込み処理に移行させ、指示された上記第3の制御プログラムを起動させることを特徴とする請求項1記載の制御プログラム起動方式。

【請求項5】 パワーオンリセットを行うステップと、上記パワーオンリセットに基づき第1の制御プログラムを起動させるステップと、割り込み要求を行うと共に、第2の制御プログラムの起動を指示するステップと、

上記割り込み要求に基づき、上記第1の制御プログラムの割り込み処理に移行させ、指示された第2の制御プログラムを起動させるステップとを備えたことを特徴とする制御プログラム起動方法。

【請求項6】 第2の制御プログラムが起動後に割り込

み要求を行うと共に、第3の制御プログラムの起動を指示するステップと、

上記割り込み要求に基づき第2の制御プログラムの割り込み処理に移行させ、指示された第3の制御プログラムを起動させるステップとを備えたことを特徴とする請求項5記載の制御プログラム起動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ROM (Read Only Memory) やフラッシュメモリ等に制御プログラムが搭載されたI/O (Input Output) ボードや組み込み型コンピュータ等における制御プログラム起動方式及び制御プログラム起動方法に関するものである。

【0002】

【従来の技術】図6は従来の制御プログラム起動方式の構成を示す図であり、図において、1はシステム全体の制御を行うホスト、2は制御プログラムにより入出力制御を行うI/O (Input Output) プロセッサ、3は複数の制御プログラム31, 32, 33...を格納するメモリ、5はパワーオンリセットの際に起動させる制御プログラムを指定するためのスイッチ、101はホスト1とI/Oプロセッサ2間のデータを伝送するホストI/Oバスである。

【0003】次に動作について説明する。図7は従来の制御プログラム起動方式の処理手順を示すフローチャートである。ここでは、予めスイッチ5に制御プログラム31を指示するための値が設定されている。ステップST51において、システム全体のパワーオンリセットが行われると、ステップST52において、I/Oプロセッサ2はスイッチ5に設定されている値を読み出す。ステップST53において、I/Oプロセッサ2は読み出した値により指示された制御プログラム31を起動させ、ステップST54において、I/Oプロセッサ2は制御プログラム31により通常処理を行う。

【0004】また、別の制御プログラム32を起動させる場合には、予めスイッチ5に制御プログラム32を指示するための値を設定し、上記ステップST51～ST54までの処理を行う。

【0005】

【発明が解決しようとする課題】従来の制御プログラム起動方式は以上のように構成されているので、パワーオンリセットの際に制御プログラムを起動させる場合には、予めスイッチやジャンパプラグにより、その制御プログラムを起動させるための設定作業が必要で手間がかかるという課題があった。

【0006】また、制御プログラムの起動後に別の制御プログラムを起動させる場合には、パワーをオフにしスイッチやジャンパプラグにより、別の制御プログラムを起動させるための設定作業を行い、再度、パワーオンリ

セットを行わなければならないという課題があった。

【0007】この発明は上記のような課題を解決するためになされたもので、制御プログラムを起動させるためのスイッチやジャンパープラグによる事前の設定作業が不要で手間を省くことができると共に、制御プログラムの起動後も別の制御プログラムを容易に起動できる制御プログラム起動方式及び制御プログラム起動方法を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係る制御プログラム起動方式は、システム全体の制御を行うホストと、複数の制御プログラムを格納するメモリと、上記メモリに格納されている制御プログラムを実行して入出力制御を行うI/Oプロセッサとを備えたものにおいて、パワーオンリセットの際に、上記I/Oプロセッサが上記メモリに格納されている第1の制御プログラムを起動させ、上記ホストが割り込み要求を行うと共に、上記メモリに格納されている第2の制御プログラムの起動を指示し、上記ホストからの割り込み要求に基づき、上記I/Oプロセッサが上記第1の制御プログラムの割り込み処理に移行させ、指示された上記第2の制御プログラムを起動させるものである。

【0009】この発明に係る制御プログラム起動方式は、ホストが割り込み要求をする際に、起動を指示する第2の制御プログラムのフラグを書き込むフラグレジスタを備え、I/Oプロセッサが上記ホストからの割り込み要求を受けて、上記フラグレジスタに格納されている第2の制御プログラムのフラグを読み出して、上記第2の制御プログラムを起動させるものである。

【0010】この発明に係る制御プログラム起動方式は、I/Oプロセッサが、ホストからの起動の指示値に対応して制御プログラムが格納されているメモリのアドレスとの関係を示す割り込みベクタを備え、上記I/Oプロセッサが上記ホストからの割り込み要求を受けて、上記割り込みベクタを参照し、上記ホストからの起動の指示値に対応して第2の制御プログラムを起動させるものである。

【0011】この発明に係る制御プログラム起動方式は、第2の制御プログラムが起動後に、ホストが割り込み要求を行うと共に、第3の制御プログラムの起動を指示し、上記ホストからの割り込み要求に基づき、I/Oプロセッサが上記第2の制御プログラムの割り込み処理に移行させ、指示された上記第3の制御プログラムを起動させるものである。

【0012】この発明に係る制御プログラム起動方法は、パワーオンリセットを行うステップと、上記パワーオンリセットに基づき第1の制御プログラムを起動させるステップと、割り込み要求を行うと共に、第2の制御プログラムの起動を指示するステップと、上記割り込み要求に基づき、上記第1の制御プログラムの割り込み処

理に移行させ、指示された第2の制御プログラムを起動させるステップとを備えたものである。

【0013】この発明に係る制御プログラム起動方法は、第2の制御プログラムが起動後に割り込み要求を行うと共に、第3の制御プログラムの起動を指示するステップと、上記割り込み要求に基づき第2の制御プログラムの割り込み処理に移行させ、指示された第3の制御プログラムを起動させるステップとを備えたものである。

【0014】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による制御プログラム起動方式の構成を示す図である。図において、4はホスト1が起動を指示するメモリ3内の制御プログラムのフラグを書き込むフラグレジスタ、102はホスト1からI/Oプロセッサ2に割り込み要求を行うための割り込み線であり、ホスト1、I/Oプロセッサ2、メモリ3、制御プログラム31, 32, 33……は、従来の図6に示すものと同等である。

【0015】次に動作について説明する。図2はこの発明の実施の形態1による制御プログラム起動方式の処理手順を示すフローチャートである。ステップST11において、システム全体のパワーオンリセットがされると、ステップST12において、I/Oプロセッサ2がメモリ3に格納されている制御プログラム31を起動させる。このように、パワーオンリセットの際には、I/Oプロセッサ2は、ホスト1からの要求を待たずに、とりあえずデフォルトの制御プログラム31を起動させる。なお、このデフォルトの制御プログラム31には、割り込み処理の中に別のプログラム起動用の処理を含めている。

【0016】ステップST13において、I/Oプロセッサ2は制御プログラム31により通常処理を行っているときに、ステップST14において、ホスト1は次に起動させるメモリ3内の制御プログラム、例えば制御プログラム32を指示するフラグをフラグレジスタ4に書き込み、割り込み線102を介してI/Oプロセッサ2に割り込み要求を行う。ステップST15において、I/Oプロセッサ2は、制御プログラム31内の割り込み処理に移行して、ステップST16において、フラグレジスタ4に書き込まれているフラグを読み出す。

【0017】ステップST17において、I/Oプロセッサ2は、読み出したフラグにより指示された制御プログラムが制御プログラム31以外であるかを確認し、制御プログラム31を指定するものであれば、ステップST18において、I/Oプロセッサ2は、制御プログラム31内の割り込み処理を続行し、割り込み処理が終了すると、ステップST19において、制御プログラム31による通常処理にリターンさせる。

【0018】上記ステップST17において、読み出し

たフラグにより指示される制御プログラムが、制御プログラム31以外を指示するものあれば、ステップST20において、I/Oプロセッサ2は、指示された制御プログラム、ここでは制御プログラム32を起動させ、ステップST21において、制御プログラム32による通常処理を行う。この場合、制御プログラム32が起動されると、デフォルトの制御プログラム31にリターンはしないので、処理していた制御プログラム31の情報を、スタック(図示せず)等に記憶しておく必要はない。

【0019】この実施の形態では、デフォルトの制御プログラム31の通常処理中に、ホスト1が別の制御プログラム32を起動するよう指示しているが、制御プログラム32にも、制御プログラム31と同様に、割り込み処理の中に別のプログラム起動用の処理を含めておくことにより、ホスト1からの割り込み要求により、他の制御プログラム33を起動させることもでき、再度、パワーオンリセットをせずに、I/Oプロセッサ2による入出力制御の切り替えが自由に行える。

【0020】また、この実施の形態におけるフラグレジスタ4は、I/Oプロセッサ2に内蔵されていても良い。

【0021】以上のように、この実施の形態1によれば、パワーオンリセットの際には、デフォルトの制御プログラム31を起動させることにより、予めスイッチやジャンパープラグによる設定作業が不要で手間が省けると共に、別の制御プログラムを起動させたいときは、ホスト1を再度立ち上げずに、ホスト1からの割り込み要求により別の制御プログラムを容易に起動でき、I/Oプロセッサ2による入出力制御の切り替えが自由に行えるという効果が得られる。

【0022】実施の形態2、図3はこの発明の実施の形態2による制御プログラム起動方式の構成を示す図であり、図において、21は割り込みベクタ線103による起動の指示値に対応して制御プログラム31、32、33…が格納されているメモリ3のアドレスとの関係を示す割り込みベクタであり、I/Oプロセッサ2内に設置されているテーブルである。割り込みベクタ線103は、メモリ3内の制御プログラムが指示できる本数だけ用意している。その他の構成は実施の形態1の図1に示すものと同等である。

【0023】図4は割り込みベクタを示す図であり、割り込みベクタ線103による起動の指示値に対応して制御プログラム31、32、33が格納されているメモリ3のアドレスとの関係を示しているテーブルである。I/Oプロセッサ2は、ホスト1からの割り込みベクタ線103の値に対応して、それぞれメモリ3内の各アドレスをアクセスするようになっている。

【0024】次に動作について説明する。図5はこの発明の実施の形態2による制御プログラム起動方式の処理

手順を示すフローチャートである。ステップST31～ST33までの処理は、実施の形態1の図2に示すステップST11～ST13までの処理と同一である。

【0025】ステップST34において、ホスト1はI/Oプロセッサ2に対して、割り込み線102により割り込み要求を行うと共に、次に起動させる制御プログラム、例えば制御プログラム32を割り込みベクタ線103により指示する。ステップST35において、I/Oプロセッサ2は割り込みベクタ21を参照し、割り込み処理で起動する制御プログラムが格納されているメモリ3のアドレスを確認する。

【0026】確認したアドレスが制御プログラム31を格納しているアドレスであれば、ステップST36において、I/Oプロセッサ2は、制御プログラム31内の割り込み処理を行い、割り込み処理が終了すると、ステップST37において、制御プログラム31の通常処理にリターンさせる。

【0027】上記ステップST35において、確認したアドレスが他の制御プログラム、ここでは制御プログラム32を格納しているアドレスであれば、ステップST38において、I/Oプロセッサ2は、そのアドレスに格納されている制御プログラム32を起動させ、ステップST39において、制御プログラム32による通常処理を行う。この場合、制御プログラム32が起動されると、デフォルトの制御プログラム31にリターンはしないので、処理していた制御プログラム31の情報を、スタック(図示せず)等に記憶しておく必要はない。

【0028】以上のように、この実施の形態2によれば、パワーオンリセットの際には、デフォルトの制御プログラム31を起動させることにより、予めスイッチやジャンパープラグによる設定作業が不要で手間が省けると共に、別の制御プログラムを起動させたいときは、ホスト1を再度立ち上げずに、ホスト1からの割り込み要求により別の制御プログラムを容易に起動でき、I/Oプロセッサ2による入出力制御の切り替えが自由に行えるという効果が得られる。

【0029】

【発明の効果】以上のように、この発明によれば、パワーオンリセットの際に、I/Oプロセッサがメモリに格納されている第1の制御プログラムを起動させ、ホストが割り込み要求を行うと共に、メモリに格納されている第2の制御プログラムの起動を指示し、ホストからの割り込み要求に基づき、I/Oプロセッサが第1の制御プログラムの割り込み処理に移行させ、指示された第2の制御プログラムを起動させることにより、予めスイッチやジャンパープラグによる設定作業が不要で手間が省けるという効果がある。

【0030】この発明によれば、第2の制御プログラムが起動後に、ホストが割り込み要求を行うと共に、第3の制御プログラムの起動を指示し、ホストからの割り込

み要求に基づき、I/Oプロセッサが第2の制御プログラムの割り込み処理に移行させ、指示された第3の制御プログラムを起動させることにより、ホストを再度立ち上げずに、別の制御プログラムを容易に起動でき、I/Oプロセッサによる入出力制御の切り替えが自由に行えるという効果がある。

【0031】この発明によれば、パワーオンリセットを行うステップと、パワーオンリセットに基づき第1の制御プログラムを起動させるステップと、割り込み要求を行うと共に、第2の制御プログラムの起動を指示するステップと、割り込み要求に基づき、第1の制御プログラムの割り込み処理に移行させ、指示された第2の制御プログラムを起動させるステップとを備えたことにより、予めスイッチやジャンパプラグによる設定作業が不要で手間が省けるという効果がある。

【0032】この発明によれば、第2の制御プログラムが起動後に割り込み要求を行うと共に、第3の制御プログラムの起動を指示するステップと、割り込み要求に基づき第2の制御プログラムの割り込み処理に移行させ、指示された第3の制御プログラムを起動させるステップとを備えたことにより、ホストを再度立ち上げずに、別の制御プログラムを容易に起動でき、I/Oプロセッサ

による入出力制御の切り替えが自由に行えるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1による制御プログラム起動方式の構成を示す図である。

【図2】この発明の実施の形態1による制御プログラム起動方式の処理手順を示すフローチャートである。

【図3】この発明の実施の形態2による制御プログラム起動方式の構成を示す図である。

【図4】この発明の実施の形態2による割り込みベクタを示す図である。

【図5】この発明の実施の形態2による制御プログラム起動方式の処理手順を示すフローチャートである。

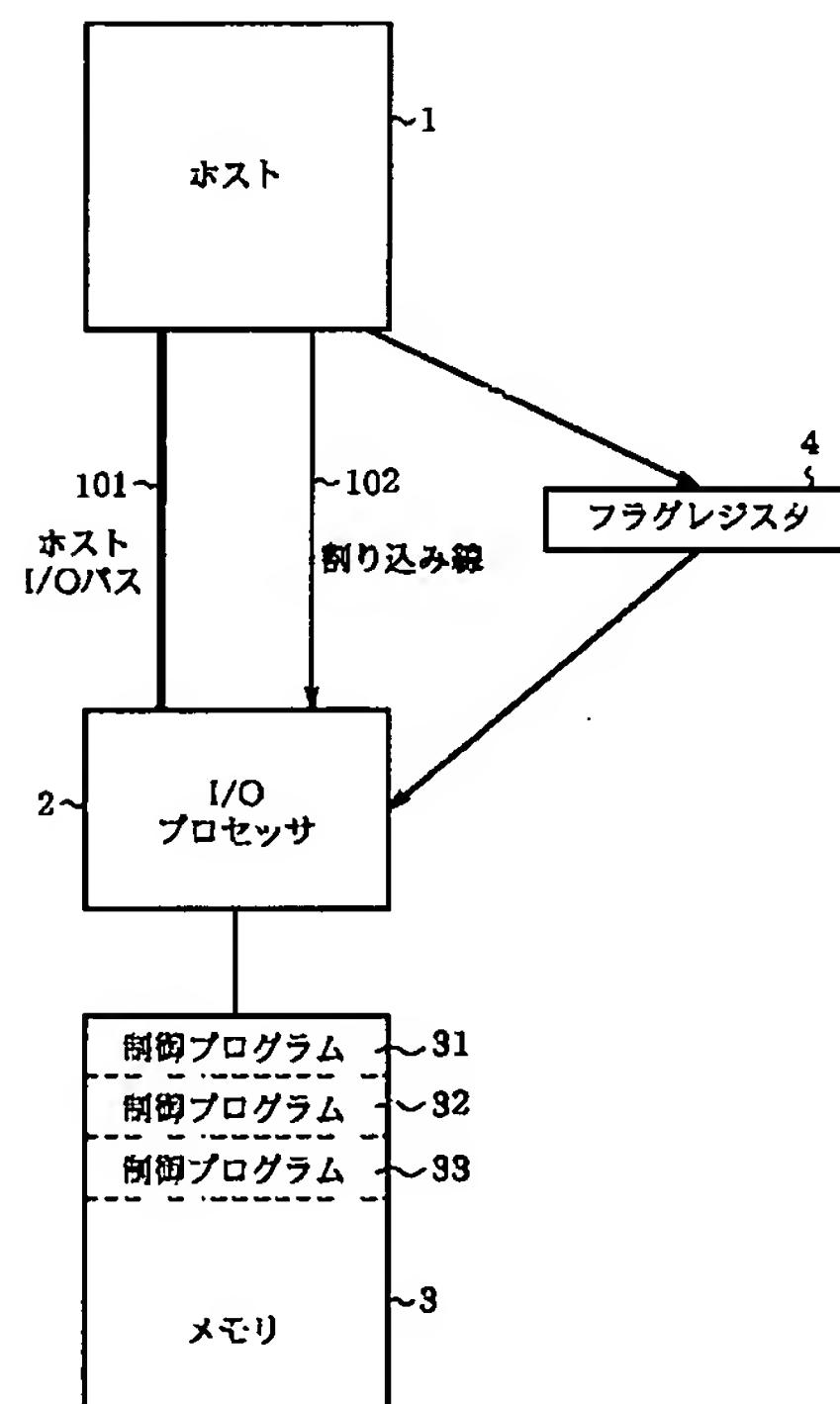
【図6】従来の制御プログラム起動方式の構成を示す図である。

【図7】従来の制御プログラム起動方式の処理手順を示すフローチャートである。

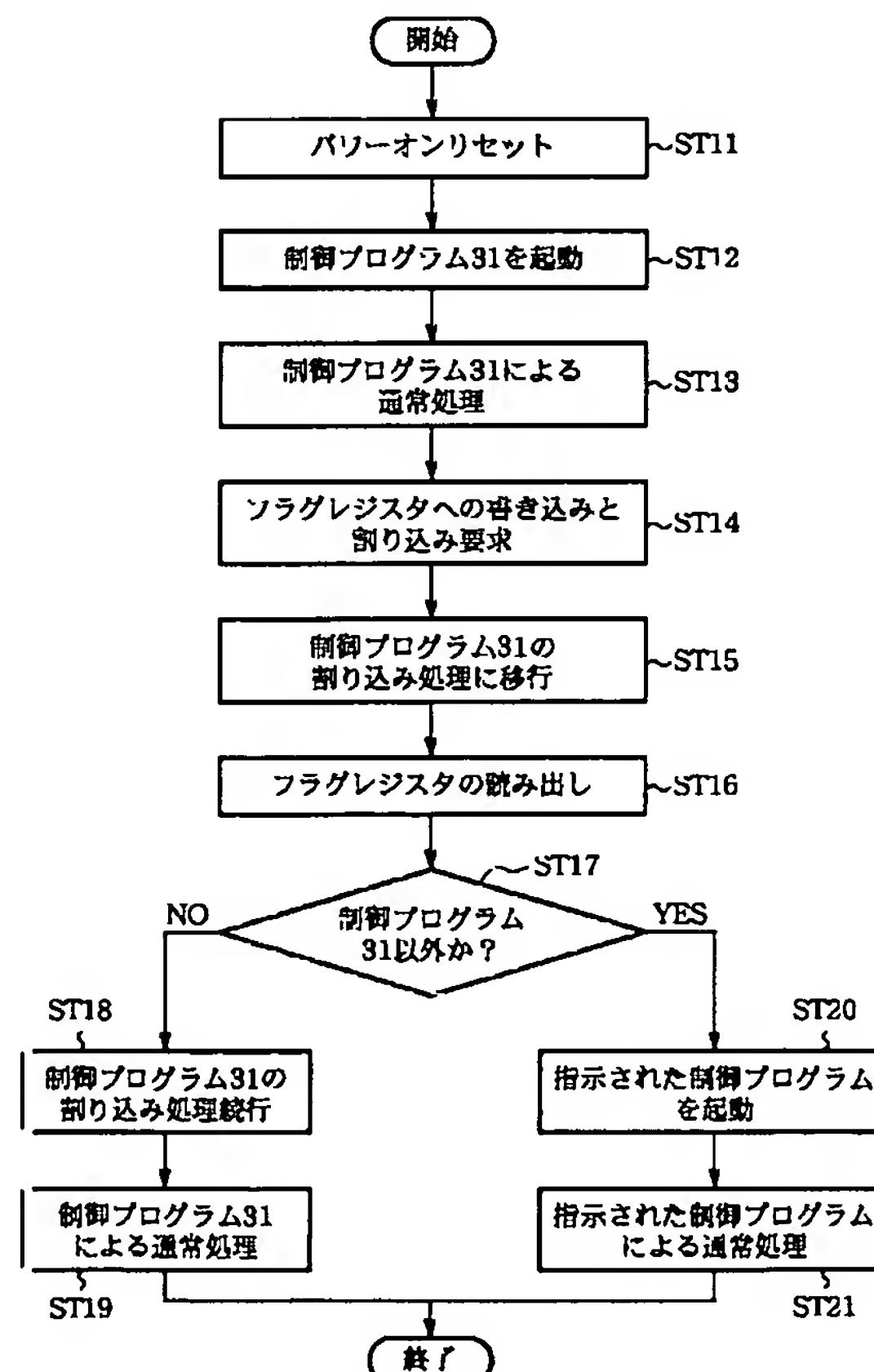
【符号の説明】

- 1 ホスト、2 I/Oプロセッサ、3 メモリ、4 フラグレジスタ、21 割り込みベクタ、31, 32, 33 制御プログラム、101 ホストI/Oバス、102 割り込み線、103 割り込みベクタ線。

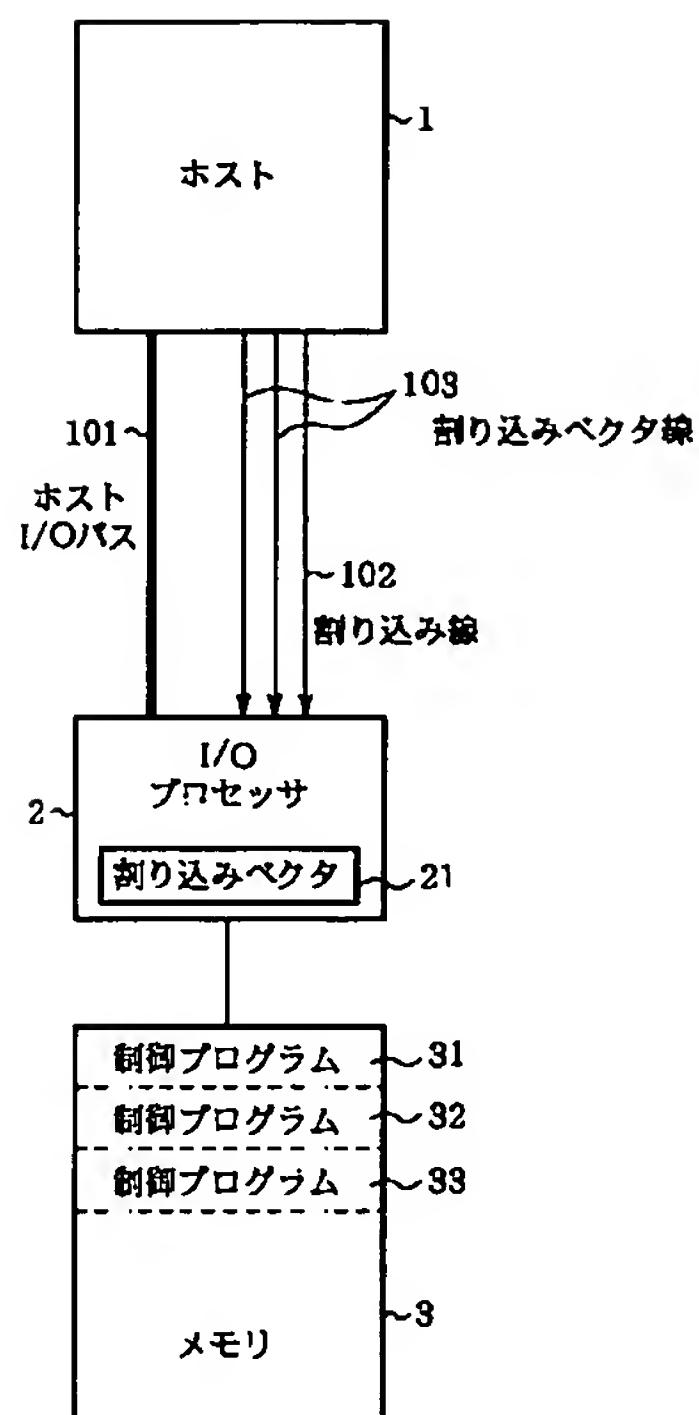
【図1】



【図2】



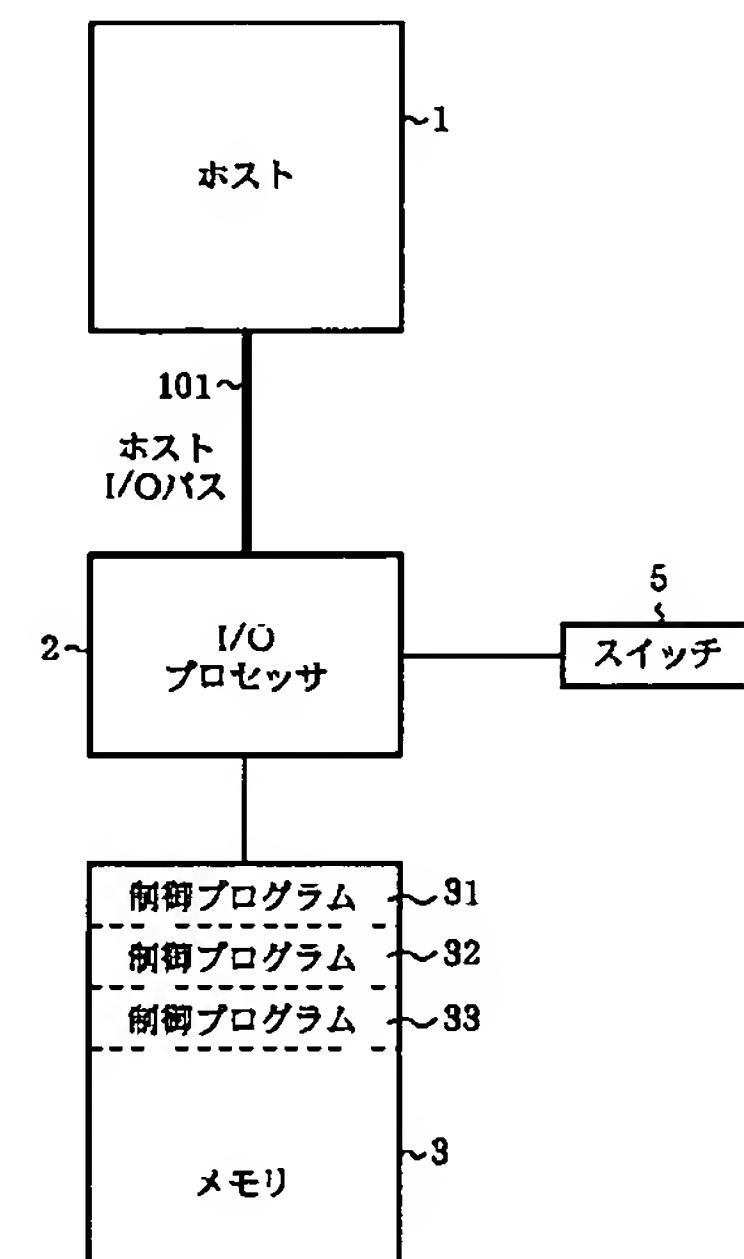
【図3】



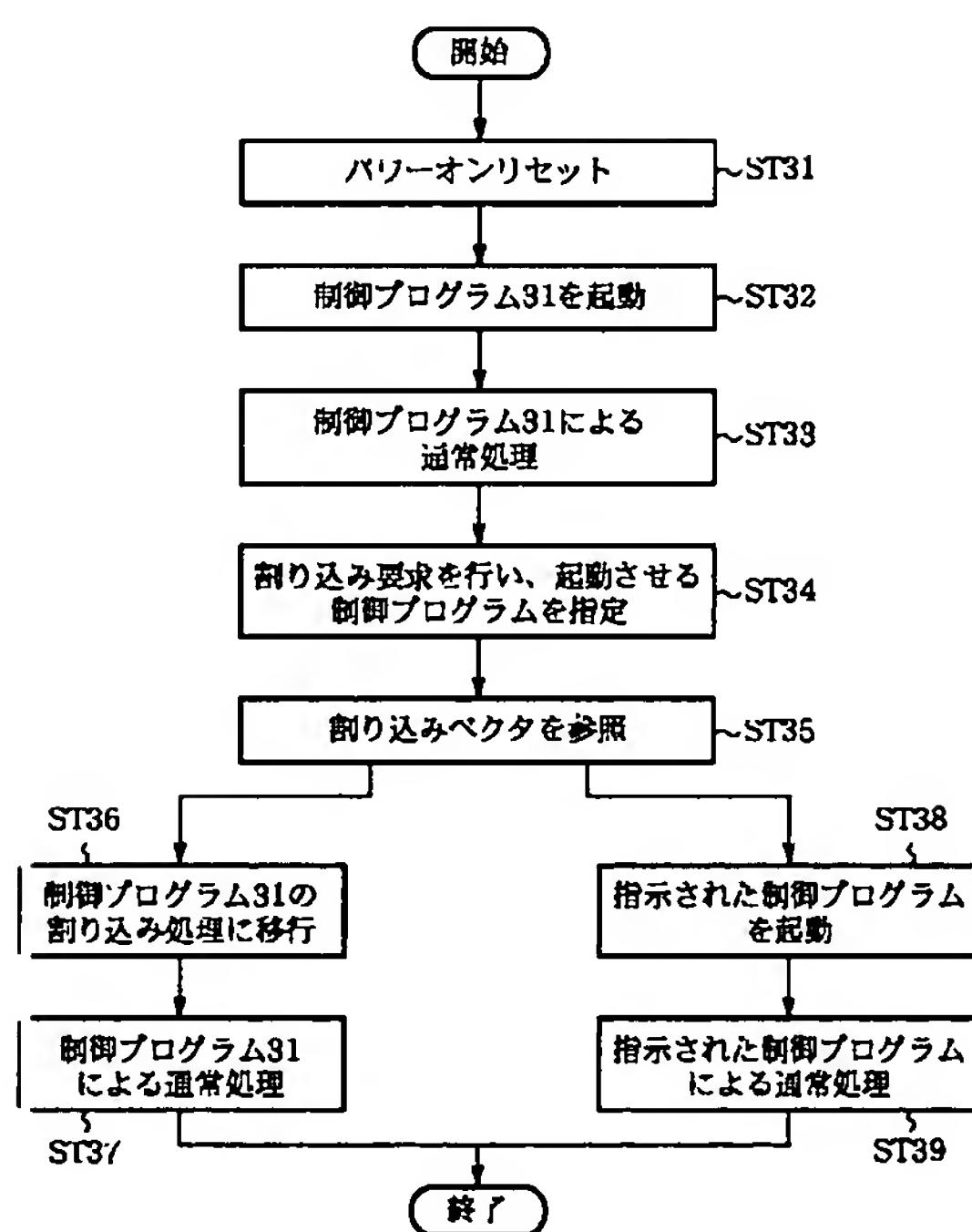
【図4】

割り込みベクタ線	メモリ3のアドレス
00	制御プログラム31の格納アドレス
01	制御プログラム32の格納アドレス
10	制御プログラム33の格納アドレス
:	:

【図6】



【図5】



【図7】

